

PULSE GENERATING CIRCUIT

Patent Number: JP5048407
Publication date: 1993-02-26
Inventor(s): KADOWAKI TADAO
Applicant(s): SEIKO EPSON CORP
Requested Patent: ☐ JP5048407
Application Number: JP19910206719 19910819
Priority Number(s):
IPC Classification: H03K5/00
EC Classification:
Equivalents:

Abstract

PURPOSE:To devise the generating circuit so that a pulse is generated without being affected by a capacitive load, a temperature and an operating voltage by switching a latch circuit into non pulse output state with a delayed signal thereby outputting a pulse till a body to be driven keeps operation after the latch circuit outputting a pulse activates the body to be driven.

CONSTITUTION:Since an input signal 8 given to one input of a NAND gate 14 is at a high level and an input signal 10 to the other input of the gate 14 is latched at a high level when the input signal 8 changes to a high level, an output signal 11 of the NAND gate 14 is switched to a low level. The signal 11 is delayed via inverters 15-18 acting like delay circuits and a resulting signal 9 goes to a low level and is inputted to a NAND gate 12. A signal 19 of a NAND gate 13 goes to a high level. Since the input signal 19 to one input of the NAND gate 13 and the input signal 8 to the other input of the gate 13 are at a high level, an output signal 10 of the gate 13 goes to a low level. Thus, the pulse continues to be outputted till a body to be driven is activated.

Data supplied from the esp@cenet database - I2

(19)日本特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-48407

(43)公開日 平成5年(1993)2月26日

(51)Int.Cl.

H03K 5/00

(識別記号)

特許整理番号

E 7402-5J

F I

技術表示の部

審査請求 出願請求 請求項の数1(全 5 項)

(21)出願番号

特願 1991-206719

(71)出願人 000002369

セイヨーエレクトロニクス株式会社

東京都新宿区西新宿2丁目4番1号

(22)出願日

平成3年(1991)8月19日

(72)発明者 岡田 幸雄

長野県諏訪市人和3丁目3番5号 セイヨーエレクトロニクス株式会社内

(74)代理人 谷村 一郎 大 部 (外1名)

(54)【発明の名称】 パルス発生回路

(57)【要約】

【目的】容量負荷、温度、動作電圧に影響されずにパルスを生ずる

【構成】少なくともラッチ回路を持ち、パルスを出力している状態のラッチ回路は、被駆動体を動作させた後、遅延された信号でラッチ回路を非パルス出力状態に切り替える。従って、被駆動体が動作し続けるまでパルスを出力するので、容量負荷、温度、動作電圧に影響されずに確実に被駆動体を駆動するパルスを生ずることができる。

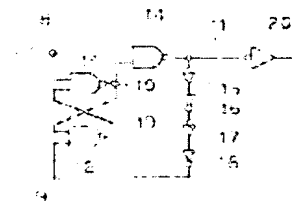


図1



図2

【特許請求の範囲】

【請求項 1】RSラッチ回路と、前記RSラッチ回路出力と前記RSラッチ回路のセット入力信号を入力信号とする論理積回路と、前記論理積回路出力を遅延させる遅延回路とで構成され、前記遅延回路出力を前記RSラッチ回路のリセット入力へ接続した事の特徴とするパルス発生回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、所定の入力信号をトリガとしてパルス信号を出力するパルス発生回路に関する。

【0002】

【従来の技術】従来より、所定の入力信号をトリガとしてパルス信号を発生するパルス発生回路としては、図3(a)の回路が多く用いられている。図3(a)において、1、2、3は信号遅延のためのインバータ、4はナンド・ゲートである。5、6、7は信号線で、5は入力信号、6はインバータ3の出力信号、7はナンド・ゲート4の出力信号である。図3(a)の回路の動作について、図3(b)のタイミング・チャート図を用いて説明する。信号5、信号6、信号7は、各々図3(a)の信号5、信号6、信号7に対応する。ここで入力信号5が図3(b)のように入力されたとする。すると、信号6にはインバータ1、2、3により t_d だけ遅延した信号が出力される。この結果信号7には、入力信号5の終了タイミングに同期し、パルス幅 t_d のパルス信号を出力することができる。

【0003】

【発明が解決しようとする課題】しかしながら、前述の従来技術の場合は以下に示す課題があった。信号7には、信号7に出力されるパルスにより駆動する被駆動回路が接続される。ここで、信号7により駆動される被駆動回路の容量負荷が大きくなりすぎると、被駆動回路を駆動できなくなってしまう。この事を図4のタイミング・チャート図で説明する。波形P1は、信号7に容量負荷が付いていない場合の理想的なパルス波形を示す。波形P2は、信号7に容量負荷が付いている場合のパルス波形を示す。Hはハイ・レベルを示し、Lはロウ・レベルを示す。ここでV_Lは、被駆動体のロジック・レベルであり、このロジック・レベルを越えた信号が被駆動体に与えられると、被駆動体は動作する。従って、被駆動体の容量負荷が大きくなりすぎると、波形P2が遅延し、所定のパルス幅の間でロジック・レベルV_Lを越える事ができない。これを防止するためには、図3(a)における信号遅延用のインバータ1、2、3に直列に複数個のインバータを追加するか、あるいは信号遅延用のインバータと信号遅延用インバータの間に容量素子を追加し信号6の遅延量を増加し、発生するパルス幅を大きくすれば良い。しかしながら、インバータもしくは容量素

子の追加は回路を複雑にし、コスト・アップの一因となってしまう。また、インバータを構成するトランジスタは温度や動作電圧によって特性が変化するので、インバータの遅延時間も温度、動作電圧によって変化してしまう。従って広い温度範囲、広い電圧範囲で確実にパルスを発生するように、設計上作り込むのは困難であった。【0004】本発明は、上述した課題を解決するものであり、その目的は、被駆動体の容量負荷の大小にかかわらず、被駆動体を確実に動作させるパルス発生回路を提供する事にある。

【0005】

【課題を解決するための手段】本発明のパルス発生回路は、RSラッチ回路と、前記RSラッチ出力と前記RSラッチ回路のセット入力信号とを入力する論理積回路と、前記論理積回路出力を遅延させる遅延回路とで構成され、前記遅延回路出力を前記RSラッチ回路のリセット入力に接続した事の特徴とする。

【0006】

【作用】本発明によれば、論理積出力が被駆動体が動作するまでRSラッチ回路の状態は変化せず、RSラッチ回路は被駆動体を動作させた後、遅延回路により遅延した信号によりリセットされる(RSラッチ回路の状態が変化するので被駆動体の容量負荷が大きくても、論理積出力は確実に被駆動体を駆動する事ができる。

【0007】

【実施例】本発明の一実施例の回路図を図1(a)に示す。図1(a)に於て12、13、14はナンド・ゲートで、ナンド・ゲート12とナンド・ゲート13とにより、RSラッチ回路を構成している。ナンド・ゲート14は前記RSラッチ回路出力の信号10と、前記RSラッチ回路のセット入力信号8を入力した論理積回路。15、16、17、18はインバータであり、信号11を遅延させる遅延回路である。インバータの数は偶数個である。遅延回路の出力信号9は前記RSラッチ回路のリセット入力として、ナンド・ゲート12へ入力されている。インバータ19は上述した本発明の一実施例の回路によって、駆動される被駆動体を示す。

【0008】次に、図1(a)の本発明の一実施例の動作について、タイミング・チャート図の図1(b)を用いて説明する。信号8、9、10、11は図1(a)の信号8、9、10、11と各々同じ信号を示している。ここで、信号8がロウ・レベルからハイ・レベルへ変化する時を説明する。最初、信号8がロウ・レベルの時はナンド・ゲート14の出力信号11はハイ・レベルを出力する。従って偶数個のインバータ15から18から構成される遅延回路の出力信号9も、同様にハイ・レベルとなる。ナンド・ゲート13の出力信号は、ナンド・ゲート13の入力信号8がロウ・レベルであるからハイ・レベルを出力する。ナンド・ゲート12の出力信号は、信号9と信号10がハイ・レベルであるのでロウ・レベ

ルを出力する。

【0009】次に、信号8がハイ・レベルに変化すると、ナンド・ゲート14の一方の入力信号8はハイ・レベル、他の一方の入力信号10はハイ・レベルをラッチしているのでナンド・ゲート14の出力信号11は、ロウ・レベルに切り替わる。信号11のレベルは遅延回路のインバータ15、16、17、18を経て遅延した後、信号9としてナンド・ゲート12にロウ・レベルを入力する。するとナンド回路12は、信号19にハイ・レベルを出力する。ナンド・ゲート13の出力信号10は、ナンド・ゲート13の一方の入力信号19と、他の一方の入力信号8が、ハイ・レベルとなるので、ロウ・レベルとなる。これによりナンド・ゲート14の出力はハイ・レベルに復帰する。従って、ナンド・ゲート14の出力信号11は、図1(b)に示す様に遅延回路により幅1d1のパルスを発生する事ができる。

【0010】一方、被駆動体のインバータ20の容量負荷が大きく、信号11の遅延が大きい場合について図2のタイミング・チャート図で説明する。図2に於て信号P3は、ナンド・ゲート14の出力信号である信号11に容量負荷が付かない場合の理想的パルスを示す。これに対して信号P4は、被駆動体のインバータ20の容量負荷が大きく、信号11が遅延している状態を示す。Hはハイ・レベルを示しLはロウ・レベルを示す。VLは被駆動体のインバータ20のロジック・レベルを示す。本発明の場合は図2のP4パルスに示す様に、信号11が大きく遅延しても、インバータ20とインバータ15のロジック・レベルが同じであれば、信号11は前記ロジック・レベルVLを越える所まで変化する。これは、インバータ15が駆動しない限りナンド・ゲート12とナンド・ゲート13とで構成されるRSラッチ回路にリセットがかからず（信号9がロウ・レベルに切り替わらないのでRSラッチ回路にリセット入力されない）信号11のレベルがロウ・レベルであり続ける為である。従って、ナンド・ゲート14が駆動する被駆動体の容量負荷が過大であっても、ナンド・ゲート14は確実にパルスを発生できる訳である。

【0011】上述の説明では入力信号の立ち上がり信号に同期したパルスを発生する一実施例を説明したが、入力信号の立ち下がり信号に同期したパルスを得たい場合は、図1(a)に於けるナンド・ゲート12、13、14の三つをノア・ゲートに置き換えればよい。また、図1(a)では遅延用のインバータを4個図示したが、4個だけに限る訳ではなく、必要なパルス幅を得る為にインバータの数は $2 \times n$ 個（ n は整数）で無論よい。

【0012】

【発明の効果】以上述べたように本発明によれば、入力信号のレベル変化をトリガとしてパルスを発生する事ができ、前記パルスは過大な容量負荷が付いたとしても、被駆動体が動作するまでパルスを出力し続けるので、容量負荷の大小の影響を受けずに確実に動作する事ができるという効果がある。

【0013】また、温度や動作電圧が変化して、回路を構成する各々のトランジスタの特性が変動し、遅延回路によって作られるパルス幅が変化しても、遅延回路が動作するタイミングを被駆動体が動作するよりも、同じかよりおそく動作するように、被駆動体のロジック・レベルと遅延回路の最初のインバータのロジック・レベルを作り込んでおけば、温度や動作電圧の影響をほとんど受けずにパルスを発生する事ができるという効果がある。

【0014】また、本発明の回路を直列に多段接続する事により、入力信号のレベル変化をトリガとして任意の数（整数）のパルスを連続的に出力できるという効果もある。

【0015】この一例を図5(a)の回路図に示す。本発明の回路を3個直列に接続した例である。ここで、信号15に立ち上がりの信号が入力したとすると、図5(b)のタイミング・チャート図に示す動作をする。図5(a)の信号名と図5(b)の信号名は同じである。図5(b)に示す様に、信号15の立ち上がりにたいして信号16、信号17、信号18の順に連続的にパルスを出力する事ができる。本発明の回路を n 個直列に接続すれば、連続した n 個のパルスを得られる事は言うまでもない。

【図面の簡単な説明】

【図1】(a) 本発明の一実施例を示す回路図。

(b) 本発明の一実施例を示すタイミング・チャート図。

【図2】本発明の動作を示すタイミング・チャート図。

【図3】(a) 従来例の回路図。

(b) 従来例の動作を示すタイミング・チャート図。

【図4】従来例の動作を示すタイミング・チャート図。

【図5】(a) 本発明の応用例を示す回路図。

(b) 本発明の応用例の動作を示すタイミング・チャート図。

【符号の説明】

1、2、3 インバータ

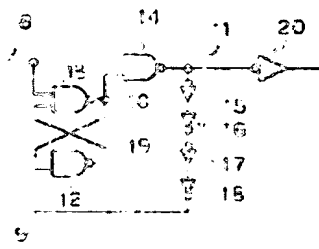
4 ナンド・ゲート

5、6、7、8、9、10、11 信号線

12、13、14 ナンド・ゲート

15、16、17、18 信号線

[G1]

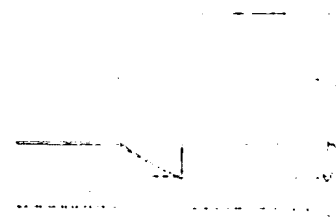


(1)

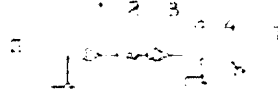
[G2]

P3

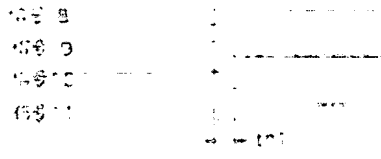
P4



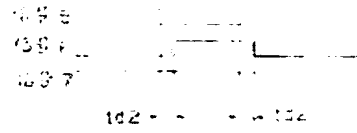
[G3]



(2)



(3)

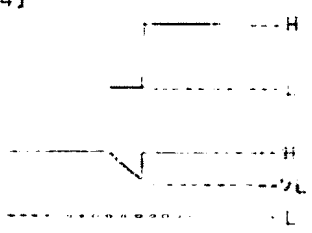


(4)

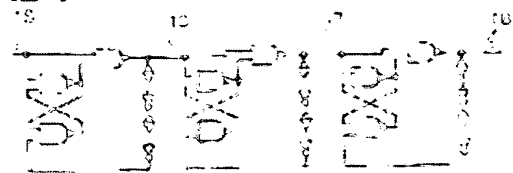
[G4]

P1

P2



(5)



(6)



(7)